

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005585

International filing date: 25 March 2005 (25.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-092666
Filing date: 26 March 2004 (26.03.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

07.04.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 3 月 2 6 日

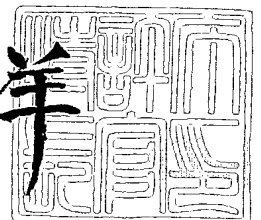
出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 9 2 6 6 6
[ST. 10/C]: [J P 2 0 0 4 - 0 9 2 6 6 6]

出 願 人
Applicant(s): 関西電力株式会社
財団法人電力中央研究所

2 0 0 5 年 3 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 P04070-010
【提出日】 平成16年 3月26日
【あて先】 特許庁長官 殿
【発明者】
 【住所又は居所】 大阪府大阪市北区中之島 3 - 3 - 2 2 関西電力株式会社内
 【氏名】 中山 浩二
【発明者】
 【住所又は居所】 大阪府大阪市北区中之島 3 - 3 - 2 2 関西電力株式会社内
 【氏名】 菅原 良孝
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂 2 - 6 - 1 財団法人電力中央研究所 横
 須賀研究所内
 【氏名】 土田 秀一
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂 2 - 6 - 1 財団法人電力中央研究所 横
 須賀研究所内
 【氏名】 鎌田 功穂
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂 2 - 6 - 1 財団法人電力中央研究所 横
 須賀研究所内
 【氏名】 三柳 俊之
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂 2 - 6 - 1 財団法人電力中央研究所 横
 須賀研究所内
 【氏名】 中村 智宣
【特許出願人】
 【識別番号】 000156938
 【氏名又は名称】 関西電力株式会社
【特許出願人】
 【識別番号】 000173809
 【氏名又は名称】 財団法人電力中央研究所
【代理人】
 【識別番号】 100081994
 【弁理士】
 【氏名又は名称】 鈴木 俊一郎
【選任した代理人】
 【識別番号】 100103218
 【弁理士】
 【氏名又は名称】 牧村 浩次
【選任した代理人】
 【識別番号】 100110917
 【弁理士】
 【氏名又は名称】 鈴木 亨
【選任した代理人】
 【識別番号】 100115392
 【弁理士】
 【氏名又は名称】 八本 佳子

【手数料の表示】

【予納台帳番号】 014535

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

通電時に電子と正孔が再結合する領域の少なくとも一部を、炭化珪素基板の表面から成長させた炭化珪素エピタキシャル層により形成したバイポーラ型半導体装置であって、

前記炭化珪素基板におけるエピタキシャル成長させる表面の表面粗さ R_{ms} が $0.1 \sim 0.6 \text{ nm}$ であることを特徴とするバイポーラ型半導体装置。

【請求項 2】

前記炭化珪素基板のオフ角が $1 \sim 4^\circ$ であることを特徴とする請求項 1 に記載のバイポーラ型半導体装置。

【請求項 3】

通電時に電子と正孔が再結合する領域の少なくとも一部を、炭化珪素基板の表面から成長させた炭化珪素エピタキシャル層により形成したバイポーラ型半導体装置の製造方法であって、

炭化珪素基板の表面を水素エッチングで処理した後に、この処理面から炭化珪素をエピタキシャル成長させることにより前記エピタキシャル層を形成することを特徴とするバイポーラ型半導体装置の製造方法。

【請求項 4】

炭化珪素基板の表面を化学機械研磨で処理し、次いで水素エッチングで処理した後に、この処理面から炭化珪素をエピタキシャル成長させることにより前記エピタキシャル層を形成することを特徴とする請求項 3 に記載のバイポーラ型半導体装置の製造方法。

【請求項 5】

オフ角が $1 \sim 4^\circ$ である炭化珪素基板の表面からエピタキシャル成長させることを特徴とする請求項 3 または 4 に記載のバイポーラ型半導体装置の製造方法。

【書類名】明細書

【発明の名称】バイポーラ型半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、例えばドリフト層などの、通電時に電子と正孔が再結合する領域を、炭化珪素基板の表面から成長させた炭化珪素エピタキシャル層により形成したバイポーラ型半導体装置およびその製造方法に関し、特に、エピタキシャル層におけるベールプラズ面転位密度の低減および経時による順方向電圧劣化の改善に関する。

【背景技術】

【0002】

炭化珪素 (SiC) は、シリコン (Si) に比べて絶縁破壊電界強度が約 10 倍であり、この他熱伝導率、電子移動度、バンドギャップなどにおいても優れた物性値を有する半導体であることから、従来の Si 系パワー半導体素子に比べて飛躍的な性能向上を実現する半導体材料として期待されている。最近では、直径 3 インチのまでの 4H-SiC、6H-SiC 単結晶基板が市販されるようになり、Si の性能限界を大幅に超えるショットキーバリアダイオード (SBD)、高電圧 pn ダイオード、MOSFET などの各種スイッチング素子の報告が相次いでなされるなど、高性能 SiC 素子の開発が進められている。

【0003】

半導体素子は、通電時に電子あるいは正孔のみが伝導に作用するユニポーラ素子と、電子と正孔の両者が伝導に作用するバイポーラ素子に大別される。ユニポーラ素子にはショットキーダイオード (SBD)、接合電界効果トランジスタ (JFET)、金属/酸化膜/半導体電界効果トランジスタ (MOSFET) などが属する。バイポーラ素子には pn ダイオード、バイポーラ接合トランジスタ (BJT)、サイリスタ、GTO サイリスタ、IGBT などが属する。

【0004】

従来の SiC バイポーラ素子では、非特許文献 1 に記載されているように、新品のバイポーラ素子に通電を開始してから通電時間 (積算使用時間) が増えるにしたがって、順方向電圧が増大してしまうという経時変化がある。

【0005】

この順方向電圧の劣化は、結晶欠陥の一種であるベールプラズ面転位 (basal plane dislocation) が要因であると考えられている。このベールプラズ面転位が、通電時に発生する電子と正孔の再結合エネルギーによって積層欠陥へと変換され、通電時間の増加に伴って積層欠陥の面積が増大する。積層欠陥の領域は、通電時に高抵抗領域として作用するため、積層欠陥の面積拡大に伴ってバイポーラ素子の順方向電圧が増大する。順方向電圧が増加すると、素子の損失が増大するため、この素子を用いたインバータなどの電力変換装置の損失増大、信頼性低下を引き起こす。

【0006】

SiC 単結晶を用いてパワー半導体素子を形成する場合、SiC 単結晶の拡散係数がきわめて小さいために深い不純物拡散が困難であることから、SiC 単結晶基板上に、基板と同一の結晶型で、所定の膜厚およびドーピング濃度を有する単結晶膜をエピタキシャル成長させることが多い (例えば特許文献 1 を参照)。

【0007】

SiC 単結晶には 3C-SiC、4H-SiC、6H-SiC などの各種ポリタイプ (結晶多型) が存在するが、パワー半導体の開発では、絶縁破壊強度および移動度が高く、異方性が比較的小さい 4H-SiC が主に使用されている。エピタキシャル成長を行う結晶面としては、例えば (0001) Si 面、(000-1) C 面、(11-20) 面、(01-10) 面、(03-38) 面がある。(0001) Si 面、(000-1) C 面上へのエピタキシャル成長時には、ステップフロー成長技術によりホモエピタキシャル成長させるために、C 軸から [11-20] 方向あるいは [01-10] 方向に数度傾けた結晶面

が使用されることが多い。

【0008】

エピタキシャル単結晶膜を成長させる SiC 単結晶基板は、昇華法あるいは化学気相蒸着法 (CVD) によって得られたバルク結晶をスライスし、表面を例えば SiC と同等かこれよりも硬い研磨砥粒などにより機械研磨したものが使用されている。この昇華法あるいは CVD 法により得られた SiC 単結晶基板中の (0001) 面内には、ベールサンプレーン転位が高密度に存在する。(0001) Si 面あるいは (000-1) C 面上へのエピタキシャル成長を行う場合、C 軸から [11-20] 方向あるいは [01-10] 方向に角度 (オフ角と呼ばれている) 傾けた結晶面を使用する場合には、SiC 単結晶基板中の (0001) 面内に存在するベールサンプレーン転位が SiC 単結晶基板表面上に現れる。

【0009】

例えば、(0001) Si 面、(000-1) C 面からオフ角が 8° となるように傾けた SiC 単結晶基板では、基板表面におけるベールサンプレーン転位密度は、結晶品質にもよるが典型的には $10^2 \sim 10^4$ 個/cm² となる。図 1 に模式的に示したように、基板 1 の表面のベールサンプレーン転位 3 のうち数%程度がエピタキシャル成長時にエピタキシャル層 2 にベールサンプレーン転位 3 としてそのまま伝播し、残りはスレッディングエッジ転位 4 (threading edge 転位) に変換されてエピタキシャル層 2 に伝播する。なお、同図において 5 は (0001) Si 面、 θ はオフ角である。

【0010】

このようにして得られたエピタキシャル膜付き SiC 基板を用いてバイポーラ素子を作製した場合、通電時にベールサンプレーン転位が積層欠陥に変換される領域は、通電時に電子と正孔が再結合を起こす領域である。電子と正孔が再結合を起こす領域の大部分はバイポーラ素子のドリフト層であり、その一部はドリフト層と注入層の界面付近における注入層側にしみ出す。通電による順方向電圧の劣化を抑制するためには、これらの領域におけるベールサンプレーン転位密度を低減することが有効と考えられる。

【特許文献 1】国際公開 W003/038876 号パンフレット

【非特許文献 1】マテリアルズ フォーラム ボリューム 389-393 2002 年 1259-1264 頁

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は、上記した従来技術における問題点を解決するためになされたものであり、SiC 単結晶基板からエピタキシャル層へのベールサンプレーン転位の伝播を低減し、これにより経時での順方向電圧劣化を抑制したバイポーラ型半導体装置およびその製造方法を提供することを目的としている。

【課題を解決するための手段】

【0012】

本発明者は、SiC 単結晶基板上に SiC をエピタキシャル成長させる前に、基板表面に所定の条件で水素エッチング処理を施すことにより、この処理面から成長させたエピタキシャル膜中のベールサンプレーン転位が大幅に少なくなることを見出し本発明を完成するに至った。

【0013】

さらに、基板表面を化学機械研磨で処理し、次いで水素エッチング処理を施すことにより、特に、低オフ角の基板を用いてこの処理面から成長させたエピタキシャル膜中のベールサンプレーン転位がきわめて少なくなることを見出し本発明を完成するに至った。

【0014】

特に、上記の処理により表面粗さ Rms を 0.1~0.6 nm とした基板表面からエピタキシャル成長させたものではベールサンプレーン転位が非常に少ない。

本発明のバイポーラ型半導体装置は、通電時に電子と正孔が再結合する領域の少なくとも一部を、炭化珪素基板の表面から成長させた炭化珪素エピタキシャル層により形成した

バイポーラ型半導体装置であって、

前記炭化珪素基板におけるエピタキシャル成長させる表面の表面粗さ $R_m s$ が $0.1 \sim 0.6 \text{ nm}$ であることを特徴としている。

【0015】

本発明のバイポーラ型半導体装置は、前記炭化珪素基板のオフ角度が $1 \sim 4^\circ$ であることを特徴としている。

本発明のバイポーラ型半導体装置の製造方法は、通電時に電子と正孔が再結合する領域の少なくとも一部を、炭化珪素基板の表面から成長させた炭化珪素エピタキシャル層により形成したバイポーラ型半導体装置の製造方法であって、

炭化珪素基板の表面を水素エッチングで処理した後に、この処理面から炭化珪素をエピタキシャル成長させることにより前記エピタキシャル層を形成することを特徴としている。

【0016】

本発明のバイポーラ型半導体装置の製造方法は、通電時に電子と正孔が再結合する領域の少なくとも一部を、炭化珪素基板の表面から成長させた炭化珪素エピタキシャル層により形成したバイポーラ型半導体装置の製造方法であって、

炭化珪素基板の表面を化学機械研磨で処理し、次いで水素エッチングで処理した後に、この処理面から炭化珪素をエピタキシャル成長させることにより前記エピタキシャル層を形成することを特徴としている。

【0017】

本発明のバイポーラ型半導体装置の製造方法は、オフ角が $1 \sim 4^\circ$ である炭化珪素基板の表面からエピタキシャル成長させることを特徴としている。

【発明の効果】

【0018】

本発明の製造方法によれば、SiC単結晶基板からエピタキシャル層へのベールプレーン転位の伝播を大幅に低減することができ、これにより経時での順方向電圧劣化を抑制することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施形態について説明する。SiC単結晶基板としては、昇華法あるいはCVD法によって得られたバルク結晶をスライスしたものを使用する。昇華法（改良レーリー法）による場合、例えば、坩堝にSiC粉末を入れて $2200 \sim 2400^\circ\text{C}$ で加熱して気化し、種結晶の表面に典型的には $0.8 \sim 1 \text{ mm/h}$ の速度で堆積させてバルク成長させる。得られたインゴットを所定の厚さに、所望の結晶面が表出するようにスライスし、その表面を、例えばSiCと同等かこれよりも硬い研磨砥粒を用い、研磨の進行とともに荒い研磨砥粒から微細な砥粒へと変えながら研磨処理して鏡面状に平滑化する。

【0020】

SiC単結晶の結晶型としては、例えば 4H-SiC 、 3C-SiC 、 2H-SiC 、 6H-SiC 、 15R-SiC などが挙げられるが、絶縁破壊強度および移動度が高く、異方性が比較的小さい 4H-SiC が好ましく用いられ、後述する水素エッチング処理、または化学機械研磨処理と水素エッチング処理との併用によりエピタキシャル層中のベールプレーン転位密度が大幅に低減する。

【0021】

エピタキシャル成長を行う結晶面としては、例えば (0001) Si面、 $(000-1)$ C面、 $(11-20)$ 面、 $(01-10)$ 面、 $(03-38)$ 面などが挙げられる。 (0001) Si面、 $(000-1)$ C面でエピタキシャル成長させる場合、 $[01-10]$ 方向、 $[11-20]$ 方向、あるいは $[01-10]$ 方向と $[11-20]$ 方向との中間方向のオフ方位に、 $1 \sim 12^\circ$ 、好ましくは $1 \sim 8^\circ$ 、特に好ましくは $1 \sim 4^\circ$ のオフ角で傾斜させて切り出した基板を使用し、この結晶面からステップフロー成長技術によりエピタキシャル成長させる。 $1 \sim 4^\circ$ のような低オフ角で切り出した基板を用いた場合、基板から

エピタキシャル層へのベーサルプレーン転位の伝播が非常に少なくなる。

【0022】

このSiC単結晶基板の表面を、水素エッチングで処理する。水素エッチングは、例えばエピタキシャル成長を行う反応炉内で行うことができる。炉内に基板を導入した後、1~100L/min、好ましくは5~20L/minで水素ガス、あるいは塩化水素を添加した水素ガスを炉内に供給し、10~250Torr、好ましくは20~50Torrのガス雰囲気下、1300~1700℃、好ましくは1350~1450℃の温度で、10~60分程度の間処理を行う。なお、水素と基板表面との相互作用時におけるSiの放出速度は主に蒸発速度で決定され、Cの放出速度は主に水素との反応速度で決定されるが、SiとCの放出速度がほぼ等しくなるような温度と圧力でエッチング処理することで、この基板表面から成長させるSiCエピタキシャル層のベーサルプレーン転位密度が非常に少なくなる。

【0023】

上記の水素エッチング処理の前に、化学機械研磨(CMP:Chemical Mechanical Polishing)により基板表面を処理すると、エピタキシャル層のベーサルプレーン転位密度がきわめて少なくなる。図2に一般的なCMP装置の概略構成を示す。SiC単結晶基板14は研磨ヘッド11に固定され、ターンテーブル12上の研磨パッド13に単結晶基板14を加圧して押し付けた状態で、スラリー供給ノズル15から研磨スラリーを滴下しながら研磨パッド13と基板14のいずれか一方または両方を回転モータにより回転させ、化学的および機械的作用によって研磨を行う。研磨スラリーは通常、溶媒、砥粒および添加剤からなり、例えばコロイダルシリカのようなシリカ系微粒子などを砥粒として水に分散させるとともに必要な添加剤を加え、pHを調整したものなどが使用される。

【0024】

基板表面を上記の方法で処理した後、この処理面にCVD法を用いてSiCをエピタキシャル成長させる。原料ガスとして、Cの原料ガスであるプロパンと、Siの原料ガスであるシランを用いる。また、キャリアガスとして水素を、ドーパントガスとして窒素あるいはトリメチルアルミニウムなどを用いる。これらのガス雰囲気下、例えば1500~1600℃、40~80Torrの条件で、2~20μm/hの成長速度でSiCをエピタキシャル成長させる。これにより、基板と同一の結晶型のSiCがステップフロー成長する。

【0025】

このようにして得られたエピタキシャル膜付きSiCを用いて、バイポーラ素子を作製する。バイポーラ素子としては、例えばpnダイオード、バイポーラ接合トランジスタ(BJT)、サイリスタ、GTOサイリスタ、IGBTなどを挙げることができる。

【0026】

これらのバイポーラ素子における、通電時に電子と正孔が再結合を起こす領域、例えばドリフト層、あるいはドリフト層と注入層の界面付近における注入層を、上記のエピタキシャル層で形成する。本実施形態では、基板に前述した処理を施したものをを用いているので、エピタキシャル層のベーサルプレーン転位密度が非常に少ない。このため、通電時によりベーサルプレーン転位から変換される積層欠陥の発生が抑制され、経時による順方向電圧劣化が改善される。特に、前述した処理により表面粗さRmsを0.1~0.6nm、好ましくは0.1~0.3nmとした基板表面からエピタキシャル成長させたものではベーサルプレーン転位が非常に少ない。

【0027】

図3は、バイポーラ素子の一つであるpn(pin)ダイオードの一例を示した断面図である。レーリー法により成長させたインゴットを所定のオフ角でスライスし、表面を鏡面研磨したn型の4H-SiC基板を、上記の条件で水素エッチングおよび化学機械研磨で処理した基板21(キャリア密度 $8 \times 10^{18} \text{ cm}^{-3}$ 、厚さ400μm)の上に、CVD法によって窒素ドーパn型SiC層とアルミニウムドーパp型SiC層を順次エピタキシ

ヤル成長させる。

【0028】

n型成長層であるドリフト層23はドナー密度 $5 \times 10^{14} \text{ cm}^{-3}$ 、膜厚 $40 \mu\text{m}$ である。

p型成長層は、p型接合層24とp+型コンタクト層25からなる。p型接合層24はアクセプタ密度 $5 \times 10^{17} \text{ cm}^{-3}$ 、膜厚 $1.5 \mu\text{m}$ である。p+型コンタクト層25はアクセプタ密度 $1 \times 10^{18} \text{ cm}^{-3}$ 、膜厚 $0.5 \mu\text{m}$ である。

【0029】

反応性イオンエッチングによりエピタキシャル層の両端部を除去してメサ構造とした後、メサ底部での電界集中を緩和するために、アルミイオンを注入してJTE（ジャンクションターミネーションエクステンション）26を形成する。JTE26は、トータルドーズ量 $1.2 \times 10^{13} \text{ cm}^{-2}$ 、幅 $250 \mu\text{m}$ 、深さ $0.7 \mu\text{m}$ であり、 $30 \sim 450 \text{ keV}$ の間でエネルギーを変更しながら室温でイオン注入した後、アルゴンガス雰囲気下で 1700°C の熱処理を行い活性化する。27は、注入イオンを活性化した後に形成した熱酸化膜である。

【0030】

28は、基板21の下面にNi（厚さ 350 nm ）を蒸着して形成したカソード電極、29は、p+型コンタクト層25の上に、Ti（厚さ 350 nm ）とAl（厚さ 100 nm ）の膜29a、29bをそれぞれ蒸着して形成したアノード電極である。これらの電極は、蒸着後に 1000°C で20分間の熱処理を行ってオーミック電極とする。

【0031】

このpnダイオードでは、ドリフト層23を、水素エッチングおよび化学機械研磨で処理した基板21の表面から成長させたエピタキシャル膜で構成しているのので、ドリフト層23におけるベールプレーン転位密度が少ない。このため、通電時における、電子と正孔の再結合エネルギーによる積層欠陥への変換が抑制されて素子の寿命を長くすることができる。

【0032】

以上、本発明の実施形態を説明したが、本発明はこの実施形態に限定されることはなく、本発明の要旨を逸脱しない範囲内で種々の変形、変更および修正が可能である。

[実施例1]

縦型ホットウォール炉を用いて、改良レーリー法により成長させたインゴットをオフ方向 $[11-20]$ 、オフ角度 8° でスライスし、表面を砥粒による機械研磨で鏡面状としたn型の4H-SiC（0001）基板に対して、流量 10 L/min で水素ガスを供給しながら、温度 1400°C 、圧力 30 Torr で40分間エッチング処理した。処理後の基板表面の表面粗さRmsを、セイコーインスツルメンズ社製の原子間力顕微鏡SPI3800Nを用いて測定したところ、 0.25 nm （ $10 \mu\text{m} \times 10 \mu\text{m}$ の領域）であった。

【0033】

次いで、処理後の基板表面に、CVD法によりSiCをエピタキシャル成長させた。プロパン（ 8 cc/min ）、シラン（ 30 cc/min ）、水素（ 10 L/min ）を供給しながら、温度 1545°C 、圧力 42 Torr で4時間ステップフロー成長させ、膜厚 $60 \mu\text{m}$ のエピタキシャル膜を形成した。

【0034】

得られたエピタキシャル膜付きSiC単結晶基板について、熔融KOHエッチングとX線トポグラフによりエピタキシャル膜中のベールプレーン転位密度を測定したところ、平均値で 440 cm^{-2} であった。

[実施例2]

水素エッチング処理を行う前に、基板表面を化学機械研磨により処理した以外は実施例1と同様にしてエピタキシャル膜付きSiC単結晶基板を得た。処理後の基板表面の表面粗さRmsを実施例1と同様の方法で測定したところ、 0.20 nm （ $10 \mu\text{m} \times 10 \mu\text{m}$ の領域）であった。

【0035】

得られたエピタキシャル膜付き SiC 単結晶基板について、溶融 KOH エッチングと X 線トポグラフによりエピタキシャル膜中のベーサルプレーン転位密度を測定したところ、平均値で 60 cm^{-2} であった。

【実施例 3】

改良レーリー法により成長させたインゴットをオフ方向 [11-20]、オフ角度 4° でスライスし、表面を砥粒による機械研磨で鏡面状とした n 型の 4H-SiC (0001) 基板を用い、実施例 2 と同様に化学機械研磨処理および水素エッチング処理を行った後にエピタキシャル膜を成長させた。なお、処理後の基板表面の表面粗さ Rms を実施例 1 と同様の方法で測定したところ、 0.28 nm ($10 \mu\text{m} \times 10 \mu\text{m}$ の領域) であった。

【0036】

得られたエピタキシャル膜付き SiC 単結晶基板について、溶融 KOH エッチングと X 線トポグラフによりエピタキシャル膜中のベーサルプレーン転位密度を測定したところ、平均値で 20 cm^{-2} であった。

【比較例 1】

水素エッチング処理を行わなかった以外は、実施例 1 と同様にしてエピタキシャル膜付き SiC 単結晶基板を得た。なお、エピタキシャル成長させる基板表面の表面粗さ Rms を実施例 1 と同様の方法で測定したところ、 1.0 nm であった。得られたエピタキシャル膜付き SiC 単結晶基板について、溶融 KOH エッチングと X 線トポグラフによりエピタキシャル膜中のベーサルプレーン転位密度を測定したところ、 1700 cm^{-2} であった。

【0037】

上記の実施例 1、2 および比較例 1 の結果を図 4 に示した。

【実施例 4、比較例 2】

SiC インゴットをスライスして得た n 型の 4H-SiC 基板の表面を、化学機械研磨で処理し、次いで水素エッチングで処理した後、CVD 法により SiC をエピタキシャル成長させたエピタキシャル膜付き SiC 単結晶基板を用意した。これを用いて図 3 のような pn ダイオードを作製し、実施例 4 の pn ダイオードを得た。

【0038】

一方、この基板の表面に対してこれらの処理をせずにそのまま SiC をエピタキシャル成長させたエピタキシャル膜付き SiC 単結晶基板を用意した。これを用いて図 3 のような pn ダイオードを作製し、比較例 2 の pn ダイオードを得た。

【0039】

これらの pn ダイオードについて順方向電圧劣化の試験を行ったところ、実施例 4 の pn ダイオードでは、比較例 2 の pn ダイオードと比較して、 100 A/cm^{-2} で 1 時間の通電を行った際の順方向電圧の増加が約 $1/4$ に抑制された。

【図面の簡単な説明】

【0040】

【図 1】図 1 は、ベーサルプレーン転位が SiC 単結晶基板からエピタキシャル層へ伝播する様子を説明する図である。

【図 2】図 2 は、CMP 装置の概略構成図である。

【図 3】図 3 は、本実施形態における方法で基板表面を処理したエピタキシャル膜付き SiC 基板を用いて形成した pn ダイオードの一例を示した断面図である。

【図 4】図 4 は、実施例および比較例のエピタキシャル膜におけるベーサルプレーン転位密度の測定結果を示したグラフである。

【符号の説明】

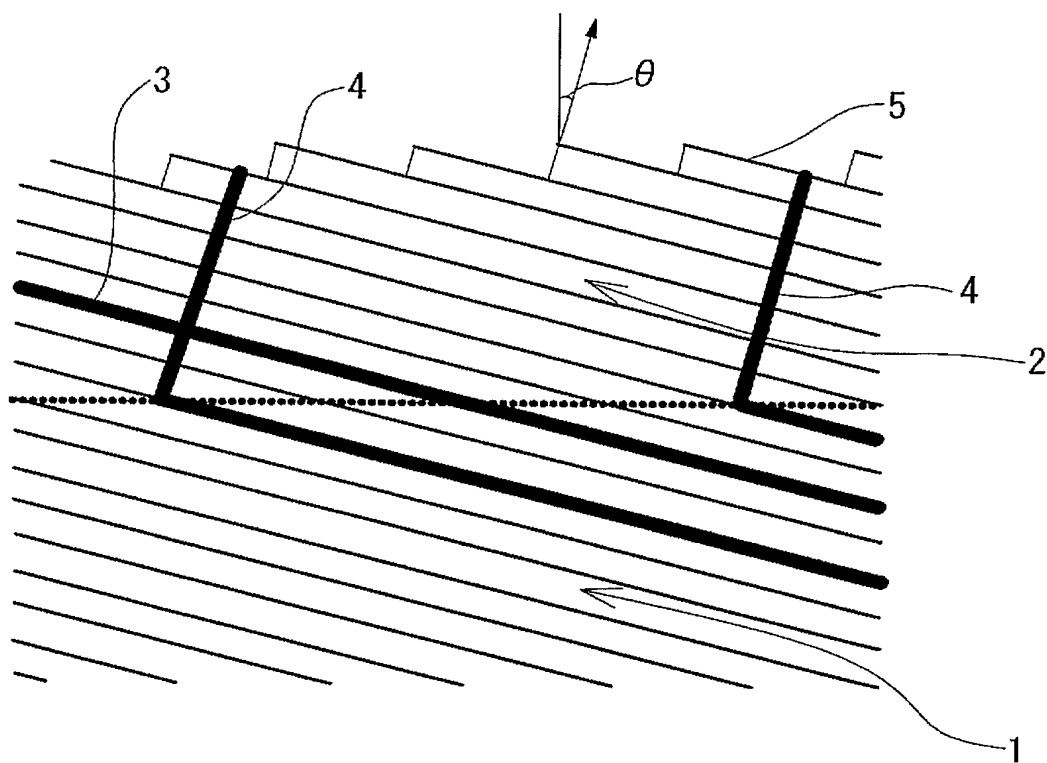
【0041】

- 1 基板
- 2 エピタキシャル層
- 3 ベーサルプレーン転位

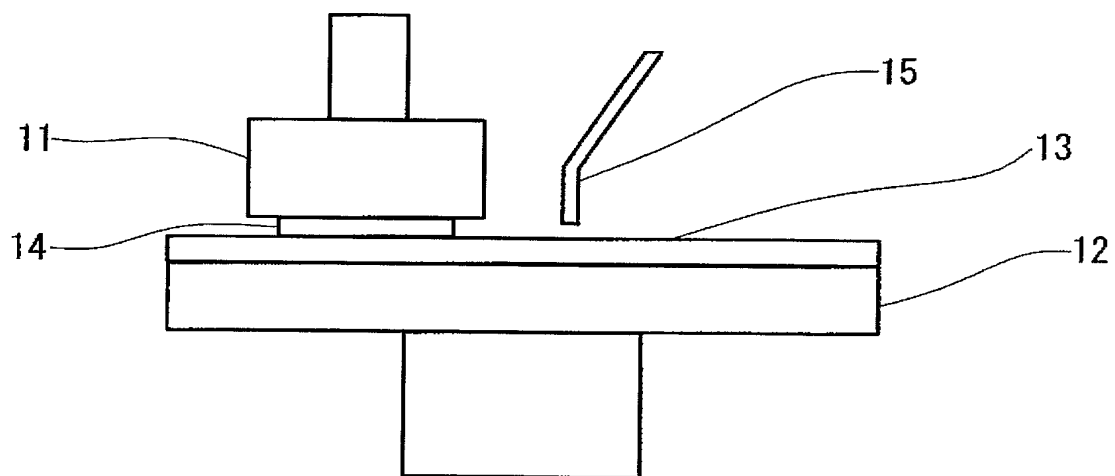
- 4 スレッディングエッジ転位
- 5 結晶面
- 1 1 研磨ヘッド
- 1 2 ターンテーブル
- 1 3 研磨パッド
- 1 4 基板
- 1 5 スラリー供給ノズル
- 2 1 基板
- 2 3 ドリフト層
- 2 4 p 型接合層
- 2 5 p + 型コンタクト層
- 2 6 J T E
- 2 7 酸化膜
- 2 8 カソード電極
- 2 9 アノード電極
- 2 9 a チタン膜
- 2 9 b アルミニウム膜
- θ オフ角

【書類名】 図面

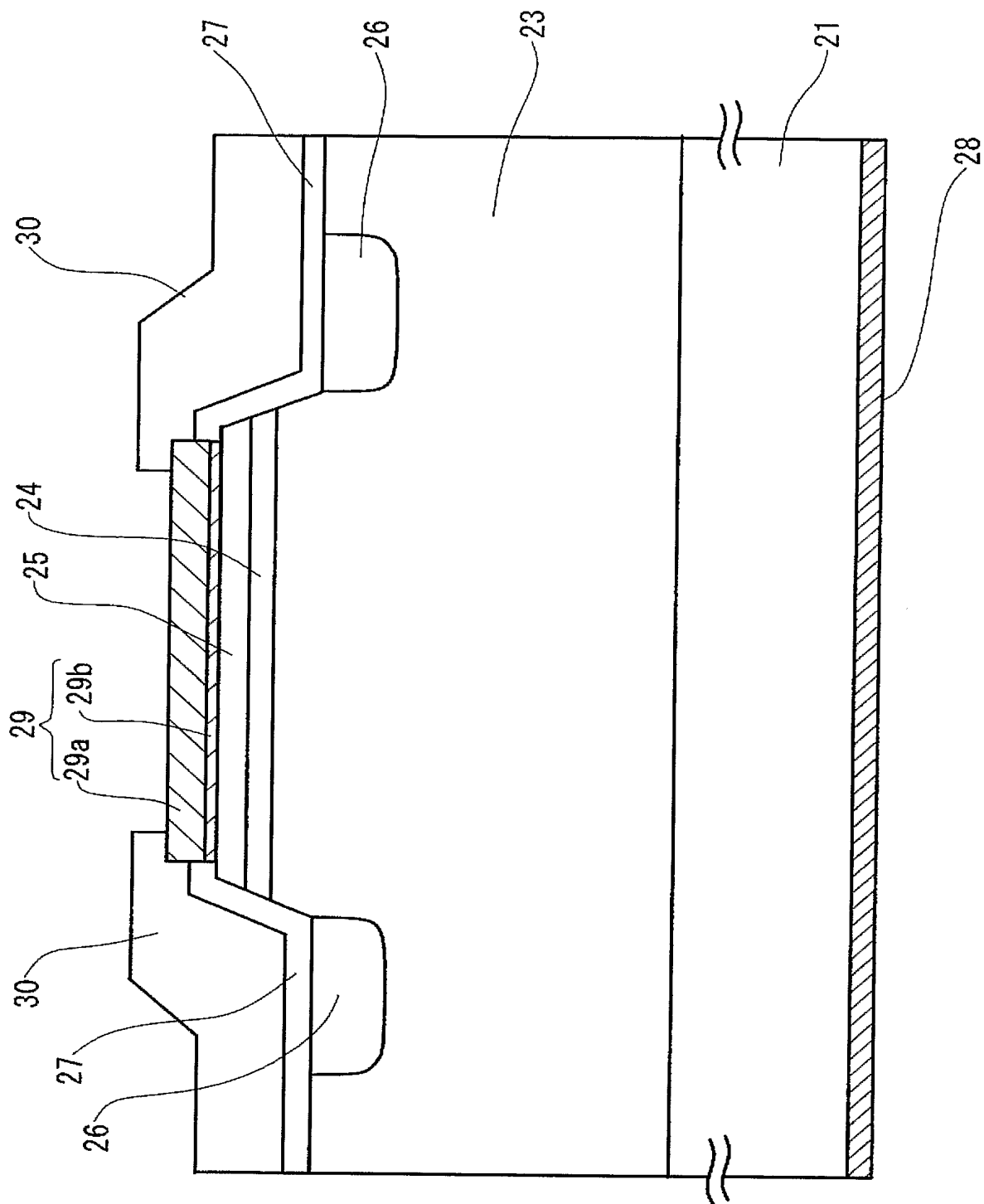
【図 1】



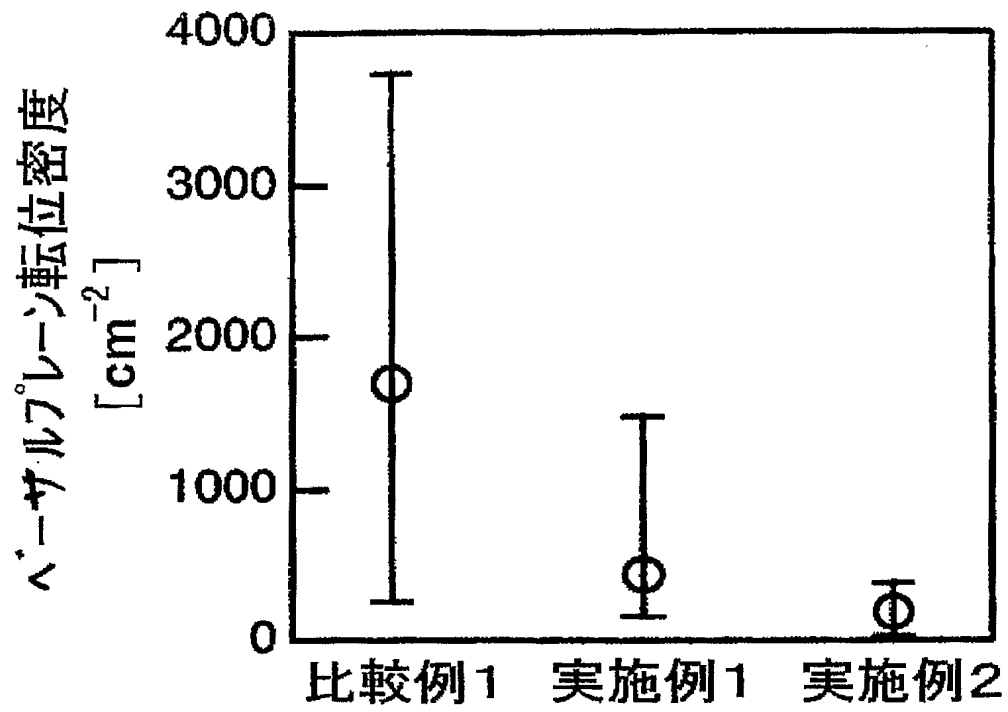
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 SiC単結晶基板からエピタキシャル層へのベールプレーン転位の伝播を低減し、これにより経時での順方向電圧劣化を抑制したバイポーラ型半導体装置およびその製造方法を提供する。

【解決手段】 通電時に電子と正孔が再結合する領域の少なくとも一部を、炭化珪素基板の表面から成長させた炭化珪素エピタキシャル層により形成したバイポーラ型半導体装置を製造するに際し、炭化珪素基板の表面を水素エッチングで処理した後に、この処理面から炭化珪素をエピタキシャル成長させることにより前記エピタキシャル層を形成する。炭化珪素基板の表面を化学機械研磨で処理し、次いで水素エッチングで処理することにより、さらにエピタキシャル層へのベールプレーン転位の伝播を低減することができる。

【選択図】 なし

特願 2 0 0 4 - 0 9 2 6 6 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 6 9 3 8]

1. 変更年月日 1 9 9 0 年 8 月 1 0 日
[変更理由] 新規登録
住 所 大阪府大阪市北区中之島 3 丁目 3 番 2 2 号
氏 名 関西電力株式会社
2. 変更年月日 2 0 0 5 年 1 月 2 4 日
[変更理由] 住所変更
住 所 大阪府大阪市北区中之島三丁目 6 番 1 6 号
氏 名 関西電力株式会社

特願 2 0 0 4 - 0 9 2 6 6 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 7 3 8 0 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都千代田区大手町 1 丁目 6 番 1 号

氏 名

財団法人電力中央研究所